

Галузь знань \_\_\_\_\_ 12 – Інформаційні технології \_\_\_\_\_

Спеціальність \_\_\_\_\_ 123 – Комп'ютерна інженерія \_\_\_\_\_

## НАУКОВА РОБОТА

Комбінований спосіб і засоби тестування схем оперативної пам'яті з  
довільним доступом

**Шифр Test-2019**

## ЗМІСТ

ВСТУП.....	3
1 Схеми оперативної пам'яті та методи їх діагностування.....	5
2 Обґрунтування обраного способу тестування схем оперативної пам'яті з довільним доступом/.....	8
3 Засоби тестування схем оперативної пам'яті з довільним доступом	14
3.1 Опис схемної реалізації засобів тестування схем оперативної пам'яті з довільним доступом.....	14
3.2 Алгоритми роботи засобів тестування схем оперативної пам'яті з довільним доступом.....	26
ВИСНОВКИ.....	31
ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ.....	32

## ВСТУП

Актуальність дослідження. Дослідження схем пам'яті як об'єктів діагностування дозволяє зробити висновок, що сучасні схеми пам'яті є досить складними об'єктами діагностування через велику розрядність і ємність, але мають також позитивні для реалізації діагностування властивості, а саме однорідність і регулярність їх внутрішньої структурної організації.

Зазначені особливості схем пам'яті з довільним доступом зумовили їх відокремлення в окремий клас об'єктів діагностування та створення великої кількості тестів для їх перевірки [1,2]. В той же час, зазначені тести не є універсальними і кожен із них передбачає перевірку тестованої пам'яті на певний вид несправностей [2]. Використання множини тестів для пошуку всіх видів несправностей оперативної пам'яті з довільним доступом за умови надзвичайно великої ємності діагностованої пам'яті виявляється надзвичайно тривалим процесом і, через це, є малоефективним при потоковій перевірці схем пам'яті в умовах масового виробництва. Це зумовлює актуальність розробки методів і засобів, які базуються на комбінованому використанні певних тестів в їх первинному або модифікованих варіантах. Комбінування тестів має за мету забезпечення достовірної перевірки схем пам'яті на наявність в них контрольованих видів несправностей з мінімальною кількістю виконуваних перевірочних операцій, що є запорукою зменшення тривалості процесу діагностування та підвищення його ефективності за часовим критерієм.

Таким чином, пропоноване дослідження присвячене актуальному питанню вибору способу і розробки засобів тестування схем оперативної пам'яті з довільним доступом, орієнтованих на перевірку діагностованих схем пам'яті на наявність в них контрольованих видів несправностей мінімальною кількістю виконуваних перевірочних операцій.

Мета роботи полягає у підвищенні ефективності процесу діагностування схем оперативної пам'яті з довільним доступом за рахунок комбінованого застосування класичних діагностичних тестів для зменшення загальної кількості виконуваних тестових випробувань.

Об'єктом дослідження є процес тестового діагностування багаторозрядних схем оперативної пам'яті з довільним доступом.

Предметом дослідження є способи і засоби реалізації діагностичних тестів оперативної пам'яті.

Задачі досліджень у роботі формулюються наступним чином:

а) дослідити особливості схем пам'яті з довільним доступом та методів їх діагностування;

б) визначити набір тестів та принципи їх комбінованого застосування для зменшення кількості тестових випробувань при перевірці схем пам'яті з довільним доступом на наявність контрольного набору несправностей;

в) розробити алгоритмічне забезпечення та апаратні засоби для реалізації методу.

Методи досліджень базуються на основних положеннях технічної діагностики, теорії тестового діагностування, булевій алгебрі.

Наукова новизна отриманих результатів:

1. Запропоновано спосіб тестування, що базується на комбінованому використанні трьох видів тестів в прямій та інверсній реалізаціях і дозволяє виявляти чотири основних типи несправностей багаторозрядних схем оперативної пам'яті з довільним доступом.

Практична цінність отриманих результатів полягає:

– у забезпеченні можливості реалізувати діагностування схем оперативної пам'яті меншою кількістю тестових перевірок;

– у визначенні принципів функціонування і розробці схемних та алгоритмічних рішень для реалізації апаратних засобів реалізації методу тестування схем оперативної пам'яті з довільним доступом.

Публікації. За темою роботи опубліковано 1 статтю у фаховому журналі та 2 тези доповідей науково-практичних конференцій.

## 1 Схеми оперативної пам'яті та методи їх діагностування

В загальному представленні пам'яттю електронно-обчислювальної системи називається сукупність різних пристроїв, призначених для приймання, зберігання і видачі двійкових кодів (даних, команд тощо). Окремий вузол з відповідними властивостями називається запам'ятовуючим пристроєм або, просто, пам'яттю.

Пам'ять сучасних електронних систем класифікують за функціональним призначенням, видом носія інформації, способом організації доступу до даних.

Найбільш поширеними в наш час є напівпровідникові запам'ятовуючі пристрої[3]. Елементний базис пам'яті сучасних електронно-обчислювальних систем складають мікросхеми різного ступеню інтеграції, але, як правило, це інтегральні компоненти надвеликого або ультравеликого ступеню інтеграції[4].

Пам'ять характеризується інформаційною ємністю, фізичним об'ємом, питомою вартістю, розрядністю (шириною вибірки або розміром використовуваних слів даних) споживаною потужністю і швидкодією.

Безумовно, найважливішим елементом запам'ятовуючих пристроїв є сама матриця елементів пам'яті, яка і привертає найбільшу увагу розробників тестів у всьому світі. Нижче розглянуті різноманітні підходи до вирішення проблеми тестування матриць елементів пам'яті, визначено проблеми та обґрунтований вибір моделі для подальших досліджень.

Першочергово відзначимо, що пам'ять є одним з найдорожчих елементів сучасної електронно-обчислювальної системи [5]. Вимоги мініатюризації привели до того, що на одному кристалі розміщуються сотні мегабайтів, а то і гігабайти даних. Зрозуміло, висока щільність ніяк не підвищує надійність, тому проблема тестування пам'яті залишається однією з найактуальніших в процесі виробництва і експлуатації обчислювальних засобів. Пам'ять як компонент електронно-обчислювальної системи є досить специфічною.

Отримані позитивні результати у створенні надвеликих схем оперативної пам'яті мають негативні наслідки для технічної діагностики [6-7]

Проблеми нестабільності, взаємовпливів та саморуйнування елементів схем оперативної пам'яті з довільним доступом загострюються по мірі їх експлуатаційного старіння [8].

До позитивних властивостей схем оперативної пам'яті як об'єктів діагностування слід віднести однорідність і регулярність їх внутрішньої структурної організації. Розміщення елементів пам'яті на кристалі характеризується не тільки високою щільністю, що підвищує ймовірність виникнення дефектів, але і високою регулярністю структурної організації, що полегшує завдання побудови тестів.

Тести для пам'яті виділяються в окремий клас, проте простота тестування пам'яті є уявною і оманливою. Така простота породила велике число інтуїтивних тестів, які ніяк або майже ніяк не враховують специфіку пам'яті як фізичного об'єкта.

Найбільш поширені тести схем оперативної пам'яті [9-17]:

- тест "всі нулі" або "всі одиниці";
- тест "адресний";
- тест "шаховий" ;
- тест "сканування" ;
- тест "чергування рядків 0/1" ;
- тест "чергування стовпців 0/1" ;
- тест "реверсні запис-зчитування/запис" ;
- тест "маршовий" ;
- тест "додаткова адресація" ;
- тест "довбання" ;
- тест "хрест" ;
- тест "руйнування зчитуванням" ;
- тест "біг" (або "переміщення") ;
- тест "пінг-понг" ;
- тест "галопа".

Дослідження властивостей зазначених тестів дозволяє розділити їх на три категорії.

До першої категорії віднесемо прості тести, що передбачають запис до комірок пам'яті певного набору систематизованих значень двійкових кодів (тестових слів), відрізняються статичною фіксацією вказаних значень (їх незмінністю) з подальшим їх зчитуванням і аналізом.

До другої категорії віднесемо тести, що передбачають запис значень, їх зчитування і заміну за певними алгоритмами, утворюючи при цьому багато проходів операцій сканування сусідніх комірок пам'яті.

До третьої категорії віднесемо тести, що передбачають випробування тестованої пам'яті переведенням її в режими, які є малоймовірними в реальних її застосуваннях і призводять до "стресового" впливу на певні вузли тестованої пам'яті

Згідно із запропонованими ознаками було сформовано класифікацію розглянутих видів тестів пам'яті, яка наведена на рисунку 1.

З проведеного аналізу можна також зробити висновок, що розглянуті тести не є універсальними і всі вони орієнтовані на виявлення певного виду або декількох видів несправностей, при чому деякі тести мають властивості в певних застосуваннях

виявляти несправності, що не є їх цільовими різновидами, а тому можуть бути використані для заміни інших тестів за створення відповідних умов.

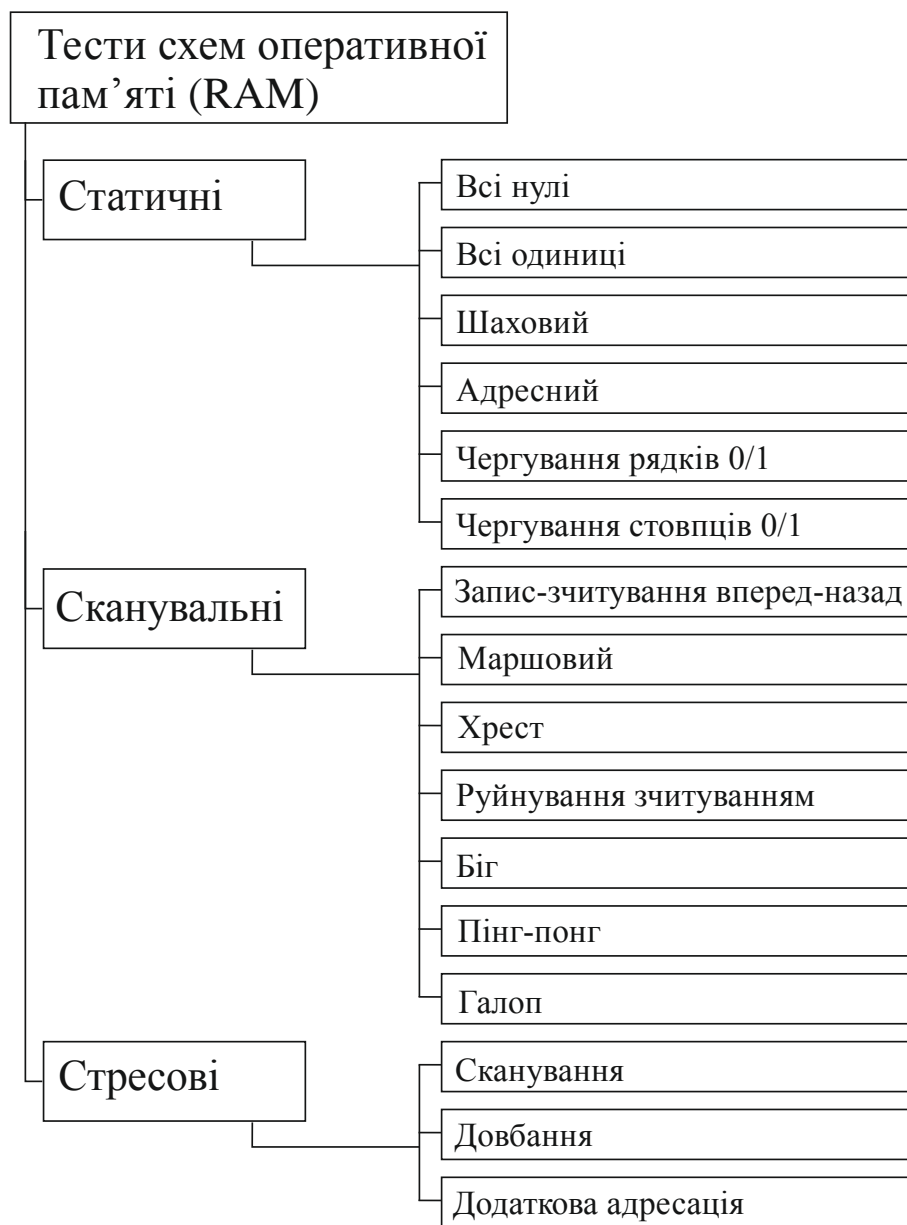


Рисунок 1 – Класифікація тестів схем пам'яті

Аналіз публікацій, присвячених методам тестування ОЗП, показує, що в даний час досить популярними є підходи, засновані на використанні маршових алгоритмів тестування [20-30]. Це обумовлено здатністю маршових алгоритмів тестування схем оперативної пам'яті виявляти різні види несправностей, а також малими часовими витратами на проведення тестування.

В той же час, маршовий тест може бути замінений альтернативним варіантом реалізації тестів схем пам'яті з неменшою ефективністю.

## 2 Обґрунтування обраного способу тестування схем оперативної пам'яті з довільним доступом

Прийнявши за прототип запропоновані в роботі [15] методи тестування схем оперативної пам'яті з довільним доступом, що базуються на використанні маршових тестів А і В, будемо орієнтуватися і на використовуваний в [15] контрольний набір несправностей схем оперативної пам'яті з довільним доступом, що складається з чотирьох видів несправностей:

- константна несправність – один або більше елементів пам'яті встановлюється в 0 або в 1 і це значення проявляється як константа, незалежно від операцій читання/запису даних з комірками пам'яті;

- несправність переходу – один або більше елементів пам'яті в досліджуваній схемі пам'яті не може перемикатися з 0 в 1 або з 1 в 0 в номінальному робочому режимі;

- несправність зчеплення – існує два (або більше) елемента пам'яті, які зчеплені хоча б односторонньо. Це означає, що за певних умов зміна значення в одному елементі з 1 на 0 (або з 0 на 1) призводить до зміни вмісту зчепленого з ним елемента біта з 1 на 0 (або з 0 на 1) і це відбувається незалежно від вмісту інших елементів пам'яті;

- несправність кратного доступу – при операції читання/запису може зчитуватися/записуватися порожня множина комірок (за вказаною адресою не спрацьовує жодна комірка) або одночасно відкривається для доступу більше, ніж однієї комірки.

З урахуванням регулярності структурної організації матриць запам'ятовуючих елементів схем оперативної пам'яті з довільним доступом та на підставі аналізу моделей і виявлених особливостей прояву контрольованих несправностей було зроблено висновок про доцільність застосування для реалізації тестування симетричних тестів, що однаковою чином покривають всі комірки та елементи пам'яті (шаховий тест, тести "чергування стовпців 0/1" і "чергування рядків 0/1").

Для забезпечення повної однорідності покриття всіх комірок та елементів діагностованих схем обрані види класичних тестів пропонується застосовувати в прямому та модифікованому (інверсному варіантах).

Виходячи із потреби виявлення несправностей одночасного кратного доступу, вирішено застосовувати прогін тестів для локалізації зазначених несправностей в напрямках збільшення і зменшення адрес. При цьому класичні прямі варіанти реалізації тестів будуть записуватись до схем оперативної пам'яті в порядку



збільшення адрес, а модифіковані інверсні варіанти реалізації тестів - в порядку зменшення адрес. Такий підхід забезпечить необхідну достовірність роботи методу тестування схем оперативної пам'яті з довільним доступом та має спростити схемну реалізацію засобів діагностування.

У відповідності із зазначеними принципами пропонований метод тестування схем оперативної пам'яті з довільним доступом передбачає наступний порядок застосування тестів:

1. Прямий шаховий тест;
2. Інверсний шаховий тест;
3. Прямий тест "чергування рядків 0/1";
4. Інверсний тест "чергування рядків 0/1";
5. Прямий тест "чергування стовпців 0/1";
6. Інверсний тест "чергування стовпців 0/1".

Кожен тест передбачає операції запису і зчитування тестових наборів, тобто, реалізується в два роходи. З цього можна зробити висновок, що пропонований метод тестування передбачає реалізацію перевірки досліджуваної схеми пам'яті за  $12n$  операцій, що є кращим показником порівняно із методом прототипом.

Доведемо ефективність пропонованого методу тестування схем оперативної пам'яті з довільним доступом. Для наочності дослідження проведемо на основі матричної моделі мінімальної складності (3.1).

Із застосуванням моделі (3.1) згідно із описаними принципами реалізації методу тестування схем оперативної пам'яті з довільним доступом порядок зміни значень в матричному полі елементів пам'яті діагностованої схеми буде мати наступний вигляд (за умови коректної роботи всіх елементів діагностованої схеми пам'яті):

$$\begin{vmatrix} 0 & 1 & 0 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{vmatrix} \rightarrow \begin{vmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{vmatrix} \rightarrow \begin{vmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{vmatrix} \rightarrow \begin{vmatrix} 1 & 1 & 1 \\ 0 & 0 & 0 \\ 1 & 1 & 1 \end{vmatrix} \rightarrow \begin{vmatrix} 0 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 1 & 0 \end{vmatrix} \rightarrow \begin{vmatrix} 1 & 0 & 1 \\ 1 & 0 & 1 \\ 1 & 0 & 1 \end{vmatrix}.$$

Проаналізуємо діагностичні властивості виконуваного першим прямого шахового тесту, що відображений в матричній моделі послідовності реалізації методу фрагментом:

$$\begin{vmatrix} 0 & 1 & 0 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{vmatrix}.$$

В досліджуваній моделі можна побачити, що ряд елементів при виконанні тесту має бути встановлено в стан логічної одиниці:  $e_{i-1,j}=e_{i,j-1}=e_{i,j+1}=e_{i+1,j}=1$ . Перевірка здатності зазначених елементів зберігати значення логічної одиниці є одночасно перевіркою, що спростовує можливість наявності в цих елементів пам'яті несправності типу константний нуль.

З іншої сторони, в досліджуваній моделі можна побачити, що ряд елементів при виконанні тесту має бути встановлено в стан логічного нуля:  $e_{i-1,j-1}=e_{i-1,j+1}=e_{i,j}=e_{i+1,j-1}=e_{i+1,j+1}=0$ . Перевірка здатності зазначених елементів зберігати значення логічного нуля є одночасно перевіркою, що спростовує можливість наявності в цих елементів пам'яті несправності типу константна одиниця.

Порівняння значень в досліджуваних комірках схеми пам'яті дозволяє зробити наступні висновки:

- відносно елемента  $e_{i,j}=0$  множина елементів  $e_{i-1,j}=e_{i,j-1}=e_{i,j+1}=e_{i+1,j}=1$  встановлюється в протилежний стан, що є тестовою перевіркою для підтвердження або спростування гіпотези про наявність несправності прямого зчеплення за нулем елемента  $e_{i,j}=0$  з іншими переліченими елементами;

- множина елементів  $e_{i-1,j-1}=e_{i-1,j+1}=e_{i,j}=e_{i+1,j-1}=e_{i+1,j+1}=0$  (серед яких є і елемент  $e_{i,j}=0$ ) встановлюється в однаковий стан, що є тестовою перевіркою для підтвердження або спростування гіпотези про наявність несправності інверсного зчеплення за нулем елемента  $e_{i,j}=0$  з іншими переліченими елементами.

Різноманітність значень в сусідніх комірках  $k_i \in K$  (їх інверсність) і неоднорідність значень розрядів використовуваних тест-векторів (чередування нулів і одиниць), практично, гарантують виявлення несправностей доступу до пустої множини комірок та отримання доступу до сусідньої комірки замість адресованої. Крім того, за визначеними раніше положеннями при реалізації прямого шахового тесту запис тест-векторів ведеться в напрямку від нульової комірки до останньої, що гарантує можливість виявлення несправностей одночасного кратного доступу до сусідніх комірок схеми пам'яті  $k_i \in K$  і  $k_{i-1} \in K$ .

Вважаючи перелічені перевірки, що реалізуються при виконанні прямого шахового тесту (а, в подальшому, і при виконанні інших тестів методу) достовірними при однократному застосуванні, в подальшому перевірени несправності з пошуку будемо виключати.

Перейдемо до аналізу діагностичних властивостей виконуваного другим інверсного шахового тесту, що відображений в матричній моделі послідовності реалізації методу фрагментом:

$$\begin{vmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{vmatrix}.$$

За аналогією з попередньо проведеним аналізом, робимо наступні висновки:

– встановлення в стан логічного нуля сукупності елементів  $e_{i-1,j}=e_{i,j-1}=e_{i,j+1}=e_{i+1,j}=0$  є перевіркою наявності в цих елементів пам'яті несправності типу константна одиниця;

– встановлення в стан логічної одиниці сукупності елементів  $e_{i-1,j-1}=e_{i-1,j+1}=e_{i,j}=e_{i+1,j-1}=e_{i+1,j+1}=1$  є перевіркою наявності в цих елементів пам'яті несправності типу константний нуль;

– відносно елемента  $e_{i,j}=1$  множина елементів  $e_{i-1,j}=e_{i,j-1}=e_{i,j+1}=e_{i+1,j}=0$  встановлюється в протилежний стан, що є тестовою перевіркою для підтвердження або спростування гіпотези про наявність несправності інверсного зчеплення за одиницею елемента  $e_{i,j}=1$  з іншими переліченими елементами;

– множина елементів  $e_{i-1,j-1}=e_{i-1,j+1}=e_{i,j}=e_{i+1,j-1}=e_{i+1,j+1}=1$  (серед яких є і елемент  $e_{i,j}=1$ ) встановлюється в однаковий стан, що є тестовою перевіркою для підтвердження або спростування гіпотези про наявність несправності прямого зчеплення за одиницею елемента  $e_{i,j}=1$  з іншими переліченими елементами.

На цьому етапі можна констатувати факт завершення перевірки тестованої схеми пам'яті на наявність константних несправностей, оскільки здатність зберігати значення логічного нуля та логічної одиниці перевірено для всіх елементів пам'яті.

Крім того, за визначеними раніше положеннями створюваного методу при реалізації інверсного шахового тесту запис тест-векторів ведеться в напрямку від останньої комірки до нульової, що гарантує можливість виявлення несправностей одночасного кратного доступу до сусідніх комірок схеми пам'яті  $k_i \in K$  і  $k_{i+1} \in K$  – перевірку сусідніх комірок і схеми оперативної пам'яті з довільним доступом в цілому на наявність несправностей кратного доступу можна вважати завершеною.

Дослідимо перехідні процеси, що відбуваються в тестованій схемі оперативної пам'яті при послідовному виконанні прямого та інверсного шахових тестів:

$$\begin{vmatrix} 0 & 1 & 0 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{vmatrix} \rightarrow \begin{vmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{vmatrix}.$$

Аналіз зазначених процесів дозволяє зробити висновки:

– елементи  $e_{i-1,j-1}$ ,  $e_{i-1,j+1}$ ,  $e_{i,j}$ ,  $e_{i+1,j-1}$  і  $e_{i+1,j+1}$  змінюють свій стан з нуля на одиницю, що є перевіркою здатності цих елементів виконувати перехід з нуля в одиницю (тест на наявність несправності переходу  $0 \rightarrow 1$ );

– елементи  $e_{i-1,j}$ ,  $e_{i,j-1}$ ,  $e_{i+1,j}$  і  $e_{i+1,j}$  змінюють свій стан з одиниці на нуль, що є перевіркою здатності цих елементів виконувати перехід з одиниці в нуль (тест на наявність несправності переходу  $1 \rightarrow 0$ ).

Перейдемо до аналізу діагностичних властивостей виконуваного третім прямим тестом "чергування рядків 0/1", що відображений в матричній моделі послідовності реалізації методу фрагментом:

$$\begin{vmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{vmatrix}.$$

За аналогією з попередньо проведеним аналізом, робимо висновки щодо здатності тесту виявляти помилки зчеплення, що не перевірялися попередніми тестами:

– оскільки  $e_{i,j}=1$  і  $e_{i,j-1}=e_{i,j+1}=1$ , досліджуваний тест має здатність виконувати перевірку на наявність несправності інверсного зчеплення за одиницею комірки  $e_{i,j}=1$  з комірками  $e_{i,j-1}$  і  $e_{i,j+1}$ ;

– оскільки  $e_{i,j}=1$ , а  $e_{i-1,j-1}=e_{i-1,j+1}=e_{i+1,j-1}=e_{i+1,j+1}=0$ , досліджуваний тест має здатність виконувати перевірку на наявність несправності прямого зчеплення за одиницею елемента  $e_{i,j}=1$  з елементами  $e_{i-1,j-1}$ ,  $e_{i-1,j+1}$ ,  $e_{i+1,j-1}$  і  $e_{i+1,j+1}$ .

Дослідимо процеси, що відбуваються в тестованій схемі оперативної пам'яті при переході від інверсного шахового тесту до прямого тесту "чергування рядків 0/1":

$$\begin{vmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{vmatrix} \rightarrow \begin{vmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{vmatrix}.$$

Аналіз зазначених процесів дозволяє зробити висновки:

– елементи  $e_{i,j-1}$  і  $e_{i,j+1}$  змінюють свій стан з нуля на одиницю – реалізується перевірка на наявність несправностей переходу  $0 \rightarrow 1$  для цих елементів;

– елементи  $e_{i-1,j-1}$ ,  $e_{i-1,j+1}$ ,  $e_{i+1,j-1}$  і  $e_{i+1,j+1}$  змінюють свій стан з одиниці на нуль – реалізується перевірка на наявність несправностей переходу  $1 \rightarrow 0$  для цих елементів.

Одразу звернемо увагу на наступний перехід від прямого тесту "чергування рядків 0/1" до інверсного його варіанту:

$$\left| \begin{array}{ccc|ccc} 0 & 0 & 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \end{array} \right| \rightarrow \left| \begin{array}{ccc|ccc} 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 & 1 \end{array} \right|.$$

Аналіз перехідних процесів, що відбуваються при зміні цих тестів, вказує на виконання наступних перевірок:

- елементи  $e_{i-1,j}$  і  $e_{i+1,j}$  змінюють свій стан з нуля на одиницю – реалізується перевірка на наявність несправностей переходу  $0 \rightarrow 1$  для цих елементів;
- елемент  $e_{i,j}$  змінює свій стан з одиниці на нуль – реалізується його перевірка на наявність несправності переходу  $1 \rightarrow 0$ .

Оскільки цим завершується перебір можливих варіантів несправностей переходу для всіх елементів пам'яті матриці, можна зробити висновок про завершення на цьому етапі перевірок на наявність несправностей переходу.

Аналіз інверсного варіанту тесту "чергування рядків 0/1" (четвертий тест) вказує на його здатність виявляти несправності, що не перевірялися раніше:

- несправності прямого зчеплення за нулем елемента  $e_{i,j}=0$  з елементами  $e_{i,j-1}$  і  $e_{i,j+1}$  ( $e_{i,j-1}=e_{i,j+1}=1$ );
- несправності інверсного зчеплення за нулем елемента  $e_{i,j}=0$  з елементами  $e_{i-1,j-1}$ ,  $e_{i-1,j+1}$ ,  $e_{i+1,j-1}$  і  $e_{i+1,j+1}$  ( $e_{i-1,j-1}=e_{i-1,j+1}=e_{i,j}=e_{i+1,j-1}=e_{i+1,j+1}=0$ ).

Аналогічним чином передостанній тест (прямий тест "чергування стовпців 0/1") виявляє несправності інверсного зчеплення за одиницею елемента  $e_{i,j}=1$  з елементами  $e_{i-1,j}$  і  $e_{i+1,j}$  ( $e_{i-1,j}=e_{i+1,j}=0$ ), а останній тест (інверсний тест "чергування стовпців 0/1") виявляє несправності інверсного зчеплення за нулем тих самих елементів (ним створюються умови  $e_{i,j}=0$  при  $e_{i-1,j}=e_{i+1,j}=1$ ).

Таким чином, після реалізації передбачуваних запропонованим методом тестування схем оперативної пам'яті з довільним доступом тестів було отримано повне покриття перевітками всіх можливих несправностей з контрольного набору, що є підтвердженням ефективності методу для тестування схем оперативної пам'яті з довільним доступом з пошуком несправностей обраного контрольного набору і достовірності отримуваних при цьому результатів.

### 3 Засоби тестування схем оперативної пам'яті з довільним доступом

#### 3.1 Опис схемної реалізації засобів тестування схем оперативної пам'яті з довільним доступом

У відповідності із визначеними у попередньому розділі базовими принципами методу тестування схем оперативної пам'яті з довільним доступом, створювана система діагностування повинна забезпечувати при перевірці діагностованих схем пам'яті реалізацію шести різновидів, кожен із яких реалізується в три операції:

- запис тестового коду в матрицю запам'ятовуючих елементів діагностованої схем оперативної пам'яті з довільним доступом;
- зчитування записаного тестового коду з матриці запам'ятовуючих елементів діагностованої схеми оперативної пам'яті з довільним доступом;
- порівняння значень записаного і зчитаного варіантів тестового коду на відповідність.

Для визначення інших базових принципів організації засобів тестування схем оперативної пам'яті з довільним доступом дослідимо вимоги щодо особливостей їх роботи в основному режимі – в режимі тестування.

Першочергово розглянемо самі тести. При цьому використаємо принципи відображення тестованої схеми оперативної пам'яті з довільним доступом матрицею у відповідності до моделі (2.5) з організацією  $8 \times 8$ , що є достатнім для відображення суттєвих для цього етапу дослідження особливостей схем пам'яті довільного розміру як об'єктів діагностування.

Послідовність використання застосовуваних тестів (прямий шаховий тест → інверсний шаховий тест → прямий тест "чергування рядків 0/1" → інверсний тест "чергування рядків 0/1" → прямий тест "чергування стовпців 0/1" → інверсний тест "чергування стовпців 0/1") на запропонованій моделі прийме наступний вигляд:

$$\text{Test}_{8 \times 8}: \begin{pmatrix} 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \end{pmatrix} \rightarrow \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix} \rightarrow$$

$$\begin{array}{ccc}
 \begin{array}{c} \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \end{array} & \begin{array}{c} \left| \begin{array}{cccccccc} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{array} \right| \\ \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \end{array} & \begin{array}{c} \left| \begin{array}{cccccccc} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{array} \right| \\ \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \end{array} & \begin{array}{c} \left| \begin{array}{cccccccc} 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{array} \right| \\ \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \end{array} & \begin{array}{c} \left| \begin{array}{cccccccc} 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \end{array} \right| \\ \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \\ \rightarrow \end{array} & \rightarrow
 \end{array}$$

Дослідження наведеного матричного представлення послідовності тестів дозволяє відзначити їх симетричність, фрагментарну повторюваність і систематизованість. Зберігання масиву тестових векторів для реалізації подібних систематизовано-повторюваних тестів є недоцільним і економічно необґрунтованим. Через це виникає потреба дослідження можливості оперативної генерації тестів робочому режимі засобів діагностування.

Аналіз матричного представлення послідовності застосування тестів на моделі з організацією  $8 \times 8$  показує, що в кожному тесті  $8 \times 8$  можна виділити елементарний тестовий блок з організацією  $2 \times 2$ , що дублюється на всьому просторі матриці схеми оперативної пам'яті з довільним доступом.

На елементарних тестових блоках з організацією  $2 \times 2$  процес тестування фрагментів матриці схеми оперативної пам'яті з довільним доступом можна відобразити наступним чином:

$$\text{Test}_{2 \times 2}: \begin{array}{c} \left| \begin{array}{cc} 0 & 1 \\ 1 & 0 \end{array} \right| \rightarrow \left| \begin{array}{cc} 1 & 0 \\ 0 & 1 \end{array} \right| \rightarrow \left| \begin{array}{cc} 0 & 0 \\ 1 & 1 \end{array} \right| \rightarrow \left| \begin{array}{cc} 1 & 1 \\ 0 & 0 \end{array} \right| \rightarrow \left| \begin{array}{cc} 0 & 1 \\ 0 & 1 \end{array} \right| \rightarrow \left| \begin{array}{cc} 1 & 0 \\ 1 & 0 \end{array} \right| \end{array} \quad (1)$$

Представлення (1) дозволяє зробити висновок про можливість і доцільність

обмеження засобів генерації тестів складі засобів тестування схем оперативної пам'яті з довільним доступом форматом  $\text{Test}_{2 \times 2}$  з подальшим дублюванням згенерованого елементарного дворозрядного тесту на всьому матричному полі елементів діагностованої схеми пам'яті.

Передбачувана простота генерації елементарних дворозрядних тестів також усуває потребу зберігання масиву використаних (в режимі запису) при тестуванні схем оперативної пам'яті з довільним доступом тест-векторів для подальшого порівняння із зчитуваними з тестованої пам'яті значеннями – доцільніше реалізувати повторну генерацію зазначених тест-векторів за аналогічним алгоритмом і реалізувати динамічне порівняння зчитуваних і генерованих значень.

При цьому слід відзначити, що для досягнення необхідного рівня достовірності та ефективності тестування схем оперативної пам'яті з довільним доступом у відповідності із попередньо визначеними принципами реалізації методу створювані засоби повинні генерувати базові тести (шаховий тест, тест "чергування рядків 0/1" і тест "чергування стовпців 0/1") застосовуючи прямий і інверсний їх варіанти, а також прямий та обернений порядок проходження адресного простору при запису тестів до комірок пам'яті.

Оскільки порядок проходження адресного простору для ряду операцій при описі методу залишався не визначеним (зазначалося, що напрямок зміни адрес може бути довільним), при створенні засобів тестування схем оперативної пам'яті з довільним доступом в таких варіантах будемо застосовувати спосіб, що є більш зручним з технічної реалізації.

Виходячи з цього, уточнимо порядок проходження адресного простору на різних етапах реалізації тестів:

- етап 1 - запис прямого шахового тесту, виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору починаючи із комірки з нульовою адресою і завершуючи коміркою з максимальною адресою);
- етап 2 – зчитування і перевірка результатів запису прямого шахового тесту, виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору);
- етап 3 - запис інверсного шахового тесту, виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору починаючи із комірки з максимальною адресою і завершуючи коміркою з нульовою адресою);
- етап 4 - зчитування і перевірка результатів запису інверсного шахового тесту, виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору);



- етап 5 - запис прямого тесту "чергування рядків 0/1", виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору);
- етап 6 – зчитування і перевірка результатів запису прямого тесту "чергування рядків 0/1", виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору);
- етап 7 - запис інверсного тесту "чергування рядків 0/1", виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору);
- етап 8 - зчитування і перевірка результатів запису інверсного тесту "чергування рядків 0/1", виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору);
- етап 9 - запис прямого тесту "чергування стовпців 0/1", виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору);
- етап 10 – зчитування і перевірка результатів запису прямого тесту "чергування стовпців 0/1", виконується в напрямку збільшення адрес (прямий порядок проходження адресного простору);
- етап 11 - запис інверсного тесту "чергування стовпців 0/1", виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору);
- етап 12 - зчитування і перевірка результатів запису інверсного тесту "чергування стовпців 0/1", виконується в напрямку зменшення адрес (обернений порядок проходження адресного простору).

Для генерації перелічених тестів і визначення напрямку проходження адресного простору діагностованої схеми оперативної пам'яті з довільним доступом викає потреба включення до складу створюваних засобів тестування блоку фіксації ідентифікуючого коду виконуваного етапу реалізації методу, а також схем керування коректною зміною зазначених кодів етапів та зупинкою тестових випробувань по завершенню проходження всіх етапів.

Перелічені принципи є основою для розробки схемних рішень створюваних засобів тестування схем оперативної пам'яті з довільним доступом.

Дамо опис структурної і функціональної організації засобів тестування схем оперативної пам'яті з довільним доступом

У відповідності до сформульованих принципів для розробки схемних рішень створюваних засобів тестування схем оперативної пам'яті з довільним доступом було визначено вимоги щодо їх структурної і функціональної організації. Дослідимо зазначені принципи на основі схеми електричної функціональної, наведеної на рис. 2.



У відповідності із запропонованою схемою, в повному складі комплексу засобів тестування схем оперативної пам'яті з довільним доступом можна виділити наступні структурні вузли різного функціонального призначення:

- керуюча ЕОМ;
- інтерфейсна підсистема спряження-настроювання;
- генератор сигналів синхронізації;
- регістр максимальної адреси;
- реверсивний генератор адрес вибірки;
- компаратор адрес;
- лічильник етапів;
- контролер завершення етапу;
- генератор опорних тестових сигналів;
- регістр обмеження розрядності тестів;
- компаратор тестових і зчитуваних кодів;
- буферний підсилювач тестових сигналів;
- лічильник помилок;
- пам'ять реєстрації помилок.

На запропонованій схемі засоби реалізації методу тестування схем оперативної пам'яті з довільним доступом зображені в узагальнених представленнях, без надмірної деталізації і орієнтації на конкретний вид мікросхем пам'яті (не відображена точно розрядність вузлів і шин з'єднань, що робить схему більш універсальною і адаптованою до різних реалізацій схем оперативної пам'яті з довільним доступом)

Розглянемо функціональне призначення і роль зображених на схемі засобів тестування структурних складових.

Загальні настройки щодо особливостей реалізації діагностичних випробувань досліджуваного виду схем оперативної пам'яті з довільним доступом, а також керуючі сигнали (запуску, ініціалізації тощо) подаються в систему тестування схем оперативної пам'яті з довільним доступом з керуючої ЕОМ. Аналогічно, із застосуванням керуючої ЕОМ, по завершенню процесу тестових випробувань можуть бути зчитані накопичувані системою в процесі діагностування дані отримуваних результатів (будуть деталізовані далі).

Керуюча ЕОМ – комп'ютер універсального призначення із комплексом спеціалізованого програмного забезпечення. Оскільки вимоги щодо реалізації керуючих функцій для засобів тестування схем оперативної пам'яті з довільним доступом є елементарними, технічні характеристики керуючої ЕОМ підбираються з урахуванням комутаційних можливостей підключення розробленої системи

діагностування, а також виходячи із прогнозованих потреб щодо подальшої обробки діагностичної інформації. Спеціалізоване програмне забезпечення включає в себе драйвер взаємодії із засобами тестування схем оперативної пам'яті з довільним доступом, інтерфейсні сервісні програми для забезпечення зручної організації зазначеної взаємодії, а також може містити комплекс програмних засобів у відповідності з наявними потребами накопичення подальшої обробки діагностичної інформації.

Взаємодія керуючої ЕОМ і засобів тестування схем оперативної пам'яті з довільним доступом реалізується через інтерфейсну підсистему спряження-настроювання. Інтерфейсна підсистема спряження-настроювання призначена для забезпечення механічного і електричного узгодження певного інтерфейсу ЕОМ (наприклад, USB) з робочими інтерфейсами внутрішніх схем засобів тестування схем оперативної пам'яті з довільним доступом. Через інтерфейсну підсистему спряження-настроювання до засобів тестування схем оперативної пам'яті з довільним доступом записуються необхідні коди налаштувань, зчитуються результати роботи, виконуються сервісні операції (ініціалізація, запуск тощо).

Синхронізує роботу засобів тестування схем оперативної пам'яті з довільним доступом схема генератора опорних тестових сигналів, що є програмованим вузлом (настоюваним керуючою ЕОМ), призначеним для видачі сигналів синхронізації у відповідності із вимогами технічної документації щодо номінального режиму роботи тестованих схем пам'яті. Безпосередньо процес тестових випробувань запускається керуючою ЕОМ шляхом активізації схеми генератора опорних тестових сигналів на видачу синхронізуючих сигналів, а зупиняється при отриманні генератором опорних тестових сигналів сигналу Stop з внутрішніх блоків засобів тестування схем оперативної пам'яті з довільним доступом.

Інтерфейсна підсистема спряження-настроювання і генератор опорних тестових сигналів, як і керуюча ЕОМ, є необхідними в роботі засобів тестування схем оперативної пам'яті з довільним доступом, але не є специфічно орієнтованими на реалізацію пропонованого методу тестування схем оперативної пам'яті з довільним доступом. Ці вузли можуть бути реалізовані на основі існуючих рішень і, в даній реалізації, не містять зумовлених особливостями пропонованого методу елементів наукової новизни.

Об'єкт діагностування (схема оперативної пам'яті з довільним доступом) підключається до контактних-стикочних засобів (на схемі також не розшифровуються) пропонованої системи тестування. Склад і організація контактних-стикочних засобів на схемі також не розшифровуються, вони визначаються особливостями конкретних видів об'єктів діагностування (видами тестованих схем

оперативної пам'яті з довільним доступом), на які орієнтується система діагностування у відповідності із виробничими потребами замовника. Оскільки контактено-стикочні засоби не відіграють суттєвої ролі в реалізації методу, їх детальний аналіз не проводимо.

Дослідимо функціональне призначення і принципи організації вузлів, що безпосередньо забезпечують хід діагностичних експериментів у відповідності із визначеними раніше принципами реалізації методу тестування схем оперативної пам'яті з довільним доступом.

Перевірка схем оперативної пам'яті з довільним доступом реалізується засобами тестування у відповідності із визначеними раніше принципами послідовним виконанням 12 діагностичних етапів.

Для ідентифікації поточного етапу в складі засобів тестування схем оперативної пам'яті з довільним доступом використовується лічильник етапів. Це звичайний чотирихрозрядний двійковий лічильник з функцією генерації сигналу Stop по завершенню виконання зазначених 12 діагностичних етапів (при появі блокуючого тринадцятого коду). Сигнал Stop є ознакою завершення діагностичних випробувань, блокує роботу генератора опорних тестових сигналів і керованих ним вузлів, після чого подається на керуючу ЕОМ через інтерфейсну підсистему спряження-настроювання.

Лічильник етапів працює під управлінням схеми контролера завершення етапу. Загалом, блок лічильника етапів з схемою контролера завершення етапу реалізовані за правилами синтезу мікропрограмних керуючих автоматів з жорсткою логікою і базуються на використанні ідентифікуючих кодів стану, зазначених в таблиці 1.

Схема контролера завершення етапу обробляє код поточного етапу, а також сигнали ознак досягнення реверсивним генератором адрес вибірки верхньої або нижньої межі адресного простору діагностованої схеми оперативної пам'яті з довільним доступом. Якщо реалізується прямий порядок зміни значень адрес і надходить сигнал досягнення реверсивним генератором адрес вибірки верхньої межі допустимих значень, то контролер завершення етапу формує сигнал завершення етапу і лічильник етапів виконує операцію інкременту та збільшує поточний код етапу на одиницю – відбувається перехід до виконання наступного етапу. Аналогічні дії відбуваються, якщо реалізується обернений порядок зміни значень адрес і надходить сигнал досягнення реверсивним генератором адрес вибірки нижньої межі допустимих значень. Якщо відбувається перехід лічильника етапів в стан з кодом 1110, генерується сигнал Stop і діагностичні випробування засобами тестування схем оперативної пам'яті з довільним доступом завершуються.

Таблиця 1 – Коди станів автоматичного лічильника етапів

Етап діагностування		Код
№	Опис	
1	Запис прямого шахового тесту, прямий порядок	0000
2	Перевірка прямого шахового тесту, прямий порядок	0001
3	Запис інверсного шахового тесту, обернений порядок	0010
4	Перевірка інверсного шахового тесту, обернений порядок	0011
5	Запис прямого тесту "чергування рядків 0/1", прямий порядок	0100
6	Перевірка прямого тесту "чергування рядків 0/1", прямий порядок	0101
7	Запис інверсного тесту "чергування рядків 0/1", обернений порядок	0110
8	Перевірка інверсного тесту "чергування рядків 0/1", обернений порядок	0111
9	Запис прямого тесту "чергування стовпців 0/1", прямий порядок	1000
10	Перевірка прямого тесту "чергування стовпців 0/1", прямий порядок	1001
11	Запис інверсного тесту "чергування стовпців 0/1", обернений порядок	1010
12	Перевірка інверсного тесту "чергування стовпців 0/1", обернений порядок	1011
13	Зупинка (завершення) тестування	1110

Реверсивний генератор адрес вибірки, що, фактично, є багаторозрядним реверсивним двійковим лічильником, формує адреси вибірки комірок пам'яті діагностованої схеми оперативної пам'яті з довільним доступом послідовним перебором значень двійкових кодів за правилами лічби на збільшення або на зменшення. Напрямок лічби визначається за першим розрядом коду стану (виводиться на вихід Q1 лічильника етапів) і відповідає вимогам таблиці 1 щодо організації прямого або оберненого порядку доступу до комірок. Якщо контрольований розряд коду стану дорівнює 0 – лічба ведеться на збільшення (порядок прямий), якщо контрольований розряд дорівнює 1 – лічба на зменшення (порядок обернений). Перекомутація синхронізуючого сигналу зміни адреси з генератора опорних тестових сигналів на входи інкременту/декременту (+1/-1) реверсивного генератора адрес вибірки виконується розташованою перед генератором адрес парою елементів 2І (як зазначалося, на основі сигналу з виходу Q1 лічильника етапів).

Окрім генерації значень адрес схема реверсивного генератора адрес вибірки самостійно генерує для контролера завершення етапу сигнал ознаки досягнення нульової адреси - нижньої межі адресного простору діагностованої схеми оперативної пам'яті.

Регістр максимальної адреси зберігає задане з ЕОМ значення, що є

обмеженнями максимально-допустимої адреси для тестованої схеми оперативної пам'яті з довільним доступом.

Регістр максимальної адреси введено до складу засобів тестування схем оперативної пам'яті з довільним доступом виходячи із вимоги забезпечення можливості тестування схем оперативної пам'яті з довільним доступом різної ємності.

Компаратор адрес реалізує порівняння значень максимально-допустимої адреси з регістра максимальної адреси і значення поточної адреси з реверсивного генератора адрес вибірки. При співпаданні двох контрольованих ним значень компаратор адрес генерує для контролера завершення етапу сигнал ознаки досягнення максимальної адреси - верхньої межі адресного простору діагностованої схеми оперативної пам'яті.

Генератор опорних тестових сигналів є основним елементом засобів тестування схем оперативної пам'яті з довільним доступом, що визначає особливості застосовуваних на поточному етапі тест-векторів і порядок їх подання. Генератор опорних тестових сигналів формує опорні (дворозрядні) комбінації тестових сигналів у відповідність з моделлю 4.1, види генерованих сигналів визначаються за кодом поточного стану (код стану впливає на вид формованих тестовий сигналів відповідно до реалізованого тесту – табл.4.1), а також із урахуванням молодшого розряду адреси вибірки (для зміни прямих і інверсних комбінацій в межах тесту, наприклад, 01 і 10 для шахового тесту або 00 і 11 для тесту "чергування рядків 0/1").

Буферний підсилювач тестових сигналів виконує функцію дублювання опорних (дворозрядних) тестових сигналів для отримання тест-векторів максимальної (потрібної) розрядності і видачу їх у підсиленому варіанті на об'єкт діагностування (буферне підсилення виконується для забезпечення якісних умов фіксації тест-векторів в комірках діагностованої схеми оперативної пам'яті з довільним доступом). В режимі запису значень тест-векторів до діагностованої пам'яті (непарні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом) на виходах буферного підсилювача тестових сигналів формуються описаним чином потрібні значення тест-векторів, а в режимі зчитування/перевірки раніше записаних значень тест-векторів (парні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом) виводи буферного підсилювача тестових сигналів переводяться у стан високого імпедансу, щоб не впливати на значення зчитуваних з об'єкта діагностування сигналів. Зміна стану виходів буферного підсилювача тестових сигналів керується поданням на його вхід ОЕ значення молодшого розряду коду стану.

Значення молодшого розряду коду стану, як ознака типу виконуваних з пам'яттю на поточному етапі операції, подається на вхід визначення режиму роботи W/R діагностованої схеми оперативної пам'яті з довільним доступом. Таким чином, при

W/R=0 діагностована схема оперативної пам'яті з довільним доступом переводиться в режим запису отримуваних значень тест-векторів (непарні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом), а при W/R=1 –в режим видачі збережуваних значень тест-векторів (парні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом).

Операції запису/зчитування даних з діагностованою схемою оперативної пам'яті з довільним доступом виконуються за адресами, що надходять з реверсивного генератора адрес вибірки, а стробуються зазначені операції сигналом з генератора опорних тестових сигналів CS1, що подається на вхід вибірки діагностованої схеми оперативної пам'яті з довільним доступом.

Регістр обмеження розрядності тестів призначений для зберігання керуючого вектора від ЕОМ, за яким визначається розрядність тестованої схеми оперативної пам'яті з довільним доступом і як наслідок, розрядність зчитуваного і порівнюваного векторів тестових даних. Фактично, вектор обмеження розрядності тестів керує роботою компаратор тестових і зчитуваних кодів, блокуючи його реакцію на значення тих розрядів вхідних значень, що виходять за межі розрядності тестованої схеми оперативної пам'яті з довільним доступом. Ті розряди, що є актуальними в порівнянні компаратором тестових і зчитуваних кодів, у збережуваному в регістр обмеження розрядності тестів векторі встановлюються в одиницю, інші – в нуль. Наприклад, восьмирозрядний керуючий вектор для випадку діагностування п'ятирозрядної пам'яті буде мати значення 00011111.

Регістр обмеження розрядності тестів з допоміжними керованими схемами введено до складу засобів тестування схем оперативної пам'яті з довільним доступом виходячи із вимоги забезпечення можливості тестування схем оперативної пам'яті з довільним доступом різної розрядності.

Компаратор тестових і зчитуваних кодів реалізує безпосередньо функцію порівняння значень збережуваних схемою оперативної пам'яті з довільним доступом тест-векторів (попередньо записаних до неї і тепер зчитуваних значень тестових векторів) з генерованими повторно їх значеннями. Блоки елементів 2І на входах компаратора тестових і зчитуваних кодів, на основі отримуваного із регістра обмеження розрядності тестів керуючого вектора, забезпечують подання на компаратор лише значень актуальних для порівняння розрядів. У випадку виявлення розбіжностей порівнюваних значень компаратор тестових і зчитуваних кодів генерує на своєму виході сигнал помилки роботи тестованої пам'яті (ознака виявлення несправності), який надходить на лічильник помилок.

Лічильник помилок відіграє роль генератора адреси вибірки для звернень до пам'яті реєстрації помилок. В процесі тестування схем оперативної пам'яті з



довільним доступом лічильник помилок виконує інкремент (збільшення на 1) значення адреси на входах пам'яті реєстрації помилок з кожним отримуваним з компаратора тестових і зчитуваних кодів сигналом помилки, тим самим фіксуючи код опису помилки в пам'яті реєстрації помилок за попереднім значенням адреси. Лічильник помилок спрацьовує на сигнали помилки лише в режимі читання/перевірки значень тестових векторів з діагностованої пам'яті (парні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом), що забезпечується із застосування розташованого перед лічильником помилок елемента 2І, який враховує значення молодшого розряду коду стану і на його підставі блокує надходження сигналів помилок на лічильник в режимі запису значень тестових векторів до діагностованої пам'яті (непарні етапи реалізації методу тестування схем оперативної пам'яті з довільним доступом).

Для оцінки результатів діагностування з лічильника помилок значення адреси (відповідає кількості помилок) керовано видається на системну шину даних, звідки воно зчитується керуючою ЕОМ для аналізу.

Якщо значення в лічильнику помилок залишається рівним нулю, це свідчить про успішне проходження діагностованою схемою оперативної пам'яті з довільним доступом всіх тестів та про її справність. В іншому випадку в роботі мікросхеми були виявлені помилки, опис яких може бути зчитаний керуючою ЕОМ із пам'яті реєстрації помилок. Для цього з керуючої ЕОМ подається сигнал ініціалізації лічильника помилок, після чого виконується послідовне зчитування кодів опису помилок з пам'яті реєстрації помилок з інкрементом значення лічильника (сигналом CS2 через елемент 2АБО на вході лічильника) для формування наступної адреси вибірки значення з пам'яті реєстрації помилок. Елемент 2АБО на вході лічильника комутує сигнал CS2 від ЕОМ з інтерфейсної підсистеми спряження-настроювання і сигнал помилки з компаратора тестових і зчитуваних кодів, що забезпечує можливість керування операцією збільшення генерованих лічильником значень адреси вибірки для пам'яті реєстрації помилок двома способами (при фіксації помилок за сигналом помилки і при зчитуванні даних за керуючими сигналами з ЕОМ). Кількість зчитуваних з пам'яті реєстрації помилок значень визначається ЕОМ на підставі попередньо зчитаного з лічильника помилок значення максимальної адреси).

Для ідентифікації етапу виявлення і опису типу помилки в пам'яті реєстрації помилок зберігаються три значення, які дозволяють певним чином відтворити хід діагностичного експерименту та виявлені відхилення в ньому через прояв несправностей:

– код стану лічильника етапів (для визначення типу тесту, який виявив несправність);

- зчитане з схеми оперативної пам'яті з довільним доступом значення тест-вектора (з ознакою прояву несправності, що зумовила відхилення зчитуваного значення від записаного);
- адреса комірки пам'яті, в якій стався збій.

Зазначимо, що ємність пам'яті реєстрації помилок обирається обмеженою із урахуванням обґрунтованої доцільності щодо кількості накопичуваних описів помилок (зберігати і обробляти масив даних про несправність всіх комірок пам'яті діагностованої схеми недоцільно). За потреби отримання уточнюючого набору діагностичних даних, що втрачаються при переповненні пам'яті реєстрації помилок через циклічний перезапис, повторні експерименти можуть бути проведені частково (на обмеженій частині адресного простору діагностованої схеми оперативної пам'яті з довільним доступом шляхом задання різних значень максимально-допустимої адреси).

В режимі зчитування даних з пам'яті реєстрації помилок (активізується керуючим сигналом з блоку інтерфейсної підсистеми спряження-настроювання) вектори збережуваних діагностичних даних зчитуються керуючою ЕОМ через системну шину даних із застосуванням інтерфейсної підсистеми спряження-настроювання засобів тестування схем оперативної пам'яті з довільним доступом.

### 3.2 Алгоритми роботи засобів тестування схем оперативної пам'яті з довільним доступом

В своїй роботі розроблена технічна система діагностування передбачає взаємодії двох основних складових, кожна з яких на певний час відіграє вирішальну роль в роботі системи:

- керуюча ЕОМ;
- технічні засоби безпосередньої реалізації методу тестування схем оперативної пам'яті з довільним доступом.

Розглянемо принципи функціонування зазначених підсистем в алгоритмічній послідовності.

Керуюча ЕОМ задає загальні настройки щодо особливостей реалізації діагностичних випробувань досліджуваного виду схем оперативної пам'яті з довільним доступом, а також встановлює керуючі сигнали (запуску, ініціалізації тощо), що подаються в систему тестування схем оперативної пам'яті з довільним доступом з керуючої ЕОМ. Аналогічно, із застосуванням керуючої ЕОМ, по завершенню процесу тестових випробувань можуть бути зчитані накопичувані

системою в процесі діагностування дані отримуваних результатів (будуть деталізовані далі).

Розглянемо алгоритм роботи керуючої ЕОМ (тільки функції обслуговування засобів тестування схем оперативної пам'яті з довільним доступом).

Алгоритм 1.

1.1 Задати ліміт часу на виконання тестових випробувань;

1.2 Перевести внутрішні вузли засобів тестування схем оперативної пам'яті з довільним доступом в початковий стан (активізувати системний сигнал Reset для онулення лічильників та ініціалізації генератора сигналів синхронізації);

1.3 Виконати настроювання режиму роботи генератора сигналів синхронізації для формування синхронізуючих сигналів у відповідності до потреб забезпечення номінального робочого режиму діагностованої схеми пам'яті;

1.4 Записати в регістр обмеження розрядності тестів керуючий вектор ідентифікації розрядності діагностованої схеми пам'яті;

1.5 Записати в регістр максимальної адреси значення максимальної адреси в адресному просторі діагностованої схеми пам'яті (або обмеження на адресу для часткової перевірки схеми пам'яті);

1.6 Настроїти пам'ять реєстрації помилок на запис даних;

1.7 Запустити в роботу генератор сигналів синхронізації;

1.8 Почати відлік часу виконання тестових випробувань;

1.9 Перевірити наявність сигналу завершення процесу діагностування Stop;

1.10 Якщо сигнал Stop є, перейти до п. 1.13;

1.11 Перевірити час виконання тестових випробувань;

1.12 Якщо час виконання тестових випробувань не перевищує заданий ліміт, перейти до п. 1.7;

1.13 Зчитати значення з лічильника помилок в змінну А;

1.14 Якщо  $A > 0$ , перейти до п. 1.17;

1.15 Встановити діагноз «Несправностей немає»;

1.16 Перейти до п. 1.28;

1.17 Встановити діагноз «Несправності виявлено»;

1.18 Перевірити установки щодо правил обробки діагностичних даних

1.19 Якщо діагностичні дані анулюються, перейти до п.1.28;

1.20 Перевести внутрішні вузли засобів тестування схем оперативної пам'яті з довільним доступом в початковий стан (активізувати системний сигнал Reset для онулення лічильників, в тому числі лічильника помилок);

1.21 Настроїти пам'ять реєстрації помилок на зчитування даних;

1.22 Створити змінну В, прийняти  $B=0$ ;

- 1.23 Зчитати вектор діагностичних даних з пам'яті реєстрації помилок;
- 1.24 Подати сигнал інкременту лічильника помилок;
- 1.25 Виконати операцію  $V=B+1$ ;
- 1.26 Якщо  $V < A$ , перейти до п.1.23;
- 1.27 Реалізувати процедури обробки/збереження діагностичних даних;
- 1.28 Кінець алгоритму.

Розглянемо алгоритм роботи технічних засобів реалізації методу тестування схем оперативної пам'яті з довільним доступом в основному режимі. Основним режимом роботи будемо вважати роботу зазначених засобів з моменту запуску в роботу генератора сигналів синхронізації керуючою ЕОМ і до моменту видачі сигналу Stop для зупинки роботи генератора сигналів синхронізації та сповіщення ЕОМ. Всі операції в основному режимі виконуються засобами тестування схем оперативної пам'яті з довільним доступом автоматично і автономно, на основі сигналів стробування дій, що надходять з генератора сигналів синхронізації.

#### Алгоритм 2.

2.1 Сформувати опорний дворозрядний тест-код відповідно до значень коду стану і молодшого розряду адреси (виконується генератором опорних тестових сигналів на основі значень лічильника етапів і реверсивного генератора адрес вибірки);

2.2 Продублювати опорний тест-код до отримання тест-вектора максимальної розрядності (виконує буферний підсилювач тестових сигналів і елементи 2І на входах компаратор тестових і зчитуваних кодів);

2.3 Проаналізувати молодший розряд коду стану (умовно виконується схемами, які реагують на цей сигнал: елемент 2І на вході лічильника помилок, буферний підсилювач тестових сигналів, об'єкт діагностування);

2.4 Якщо аналізований сигнал дорівнює одиниці, перейти до п.2.18;

2.5 Подати сформований тест-вектор на схему оперативної пам'яті з довільним доступом (виконується буферним підсилювачем тестових сигналів);

2.7 Сформувати сигнал стробування для запису даних в схему оперативної пам'яті з довільним доступом (сигнал формується генератором сигналів синхронізації);

2.6 Перейти до п.2.10;

2.7 Заблокувати подачу сформованого тест-вектора на схему оперативної пам'яті з довільним доступом (виконується буферним підсилювачем тестових сигналів);

2.8 Сформувати сигнал стробування для зчитування даних з схеми оперативної пам'яті з довільним доступом (формується генератором сигналів синхронізації);

2.9 Зчитати з схеми оперативної пам'яті з довільним доступом збережене значення (видача виконується самою оперативною пам'яттю);

2.10 Сформувати вектор діагностичних даних на входах пам'яті реєстрації помилок (дані надходять автоматично по лініях зв'язку);

2.11 Порівняти генероване начення тест-вектора і зчитане за актуальними розрядами (виконується компаратором тестових і зчитуваних кодів, актуальні розряди подаються на компаратор елементами 2I на його входах, що керуються двійковим керуючим вектором з регістра обмеження розрядності тестів);

2.12 Якщо порівнювані значення співпали, перейти до п.2.15;

2.13 Згенерувати сигнал помилки (виконується компаратором тестових і зчитуваних кодів);

2.14 Виконати інкремент лічильника помилок і, тим самим, зафіксувати вектор діагностичних даних в пам'яті реєстрації помилок (виконується компаратором тестових і зчитуваних кодів);

2.15 Перевірити умови завершення етапу (виконується схемою контролера завершення етапу);

2.16 Якщо умови завершення етапу виконується (досягнута межа адресного простору у заданому напрямку роботи з діагностованою схемою пам'яті), перейти до п. 2.22;

2.17 Якщо сигнал на виході Q1 лічильника станів дорівнює 1, перейти до п. 2.20;

2.18 Виконати інкремент значення в реверсивному генераторі адрес вибірки (виконується реверсивним генератором адрес вибірки під дією сигналу стропування, що надходить на керуючий вхід +1 з генератора сигналів синхронізації через перший елемент 2I);

2.19 Перейти до п. 2.1;

2.20 Виконати декремент значення в реверсивному генераторі адрес вибірки (виконується реверсивним генератором адрес вибірки під дією сигналу стропування, що надходить на керуючий вхід -1 з генератора сигналів синхронізації через другий елемент 2I);

2.21 Перейти до п. 2.1;

2.22 Сформувати сигнал завершення етапу(виконується схемою контролера завершення етапу);

2.23 Виконати інкремент лічильника станів (виконується лічильником станів за сигналом з контролера завершення етапу);

2.24 Якщо отриманий двійковий код стану не співпадає зі значенням 1101 (тринадцяти понаднормовий етап), то перейти до п. 2.1;

2.25 Сформувати сигнал Stop;

2.26 Кінець алгоритму.

Подальші операції реалізуються засобами тестування схем оперативної пам'яті з довільним доступом як виконавчим пристроєм під за вимогами керуючої ЕОМ, що працює у відповідності до алгоритму 1.

## ВИСНОВКИ

В роботі за результатами виконаних теоретичних та практичних досліджень виконано розробку засобів тестування схем оперативної пам'яті з довільним доступом. У відповідності до плану досліджень у роботі вирішено наступні завдання:

- досліджено особливості схем пам'яті з довільним доступом як об'єктів діагностування, що дозволило зробити висновок про їх складність і про актуальність розробки методів і засобів їх тестування з функціональними можливостями, що відповідають сучасним вимогам;

- за результатами дослідження методів і тестів діагностування схем пам'яті визначено і обґрунтовано актуальність розробки засобів тестування схем оперативної пам'яті з довільним доступом;

- визначено основні принципи реалізації тестування схем оперативної пам'яті з довільним доступом;

- обґрунтовано вибір набору тестів, до якого включено прямий шаховий тест, інверсний шаховий тест, прямий тест "чергування рядків 0/1", інверсний тест "чергування рядків 0/1", прямий тест "чергування стовпців 0/1", інверсний тест "чергування стовпців 0/1";

- визначено принципи комбінованого застосування зазначених методів для зменшення кількості тестових випробувань при перевірці схем пам'яті з довільним доступом на наявність контрольованих несправностей;

- у відповідності до сформульованих принципів визначено вимоги для розробки схемних рішень створюваних засобів тестування схем оперативної пам'яті і основні положення щодо їх структурної і функціональної організації, розроблено схему системи діагностування, а також описано алгоритми роботи основних підсистем цієї системи.

В результаті апробації методу визначено, що складність реалізації методу складає 12п, що дозволяє скоротити кількості тестових випробувань порівняно з методом-прототипом на 14 відсотків.

## ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ

1. Мікросхеми пам'яті [Електронний ресурс] / Портал «ua.all.biz». – Режим доступу: <https://ua.all.biz/uk/mikroshemy-pamyati-bgg1040506> (дата звернення 28.01.2019). – Назва з екрана.
2. Мікросхеми пам'яті, ОЗП і ПЗП [Електронний ресурс] / Портал «ua.textreferat». – Режим доступу: <http://ua.textreferat.com/referat-1543-1.html> (дата звернення 28.01.2019). – Назва з екрана.
3. Багаторівнева структура пам'яті комп'ютера [Електронний ресурс] / Портал «HI-NEWS». – Режим доступу: <http://hi-news.pp.ua/kompyuteri/10424-tehnchn-harakteristiki-pamyat-kompyutera.html> (дата звернення 28.01.2019). – Назва з екрана.
4. Мікросхеми пам'яті, ОЗП і ПЗП [Електронний ресурс] / Портал «ua.textreferat.com». – Режим доступу: <http://ua.textreferat.com/referat-1543-1.html> (дата звернення 28.01.2019). – Назва з екрана.
5. Структура оперативної пам'яті.[Електронний ресурс] / Портал «Павлоградський коледж Національного технічного університету «Дніпровська політехніка»». – Режим доступу: [http://archcom.ptngu.com/newtema\\_13.html](http://archcom.ptngu.com/newtema_13.html) (дата звернення 28.01.2019). – Назва з екрана.
6. Огляд і тестування комплекту оперативної пам'яті DDR4-3000 GeIL Dragon RAM GWW48GB3000C15DC об'ємом 8 ГБ [Електронний ресурс] / Портал «ua.gecid.com». – Режим доступу: [https://ua.gecid.com/ram/ddr4-3000\\_geil\\_dragon\\_ram\\_gww48gb3000c15dc/](https://ua.gecid.com/ram/ddr4-3000_geil_dragon_ram_gww48gb3000c15dc/) (дата звернення 28.01.2019). – Назва з екрана.
7. Полупроводниковые БИС ЗУ : Справ. / Под ред. А. Ю. Гордонова и Ю. Н. Дьякова. – М.: Радио и связь, 1986. – 360 с.
8. Большие интегральные схемы ЗУ : Справ. / Под ред. А. Ю. Гордонова и Ю. Н. Дьякова. – М.: Радио и связь, 1990. – 288с.
9. Применение интегральных микросхем памяти: Справ. / Под ред. А. Ю. Гордонова и А. А. Дерюгина – М.: Радио и связь, 1994. – 232с.
10. 27Технічна експлуатація міського електричного транспорту:навч. посібник/ В. Х. Далека, В. Б. Будниченко, Е. І. Карпушин, В. І. Коваленко; Харк. нац. ун-т міськ. госп. ім. О. М. Бекетова. – Х. : ХНУМГ, 2014. – 236с.
11. Сахно В. П. До аналізу методів визначення періодичності виконання технічних впливів / В. П. Сахно, О. М. Іванушко // Вісник Національного транспортного університету. – Серія «Технічні науки» : науково-технічний збірник. – К.:НТУ, 2017. – Вип. 3 (39) – С. 53-65.
12. Кутін В.М. Діагностика електрообладнання: навч. посібник / В. М. Кутін, М.



О. Ілюхін, М. В. Кутіна – Вінниця:ВНТУ,2013. – 161с.

13. Кордовер К. А. Универсальный блок управления массивом запоминающих устройств наземного отладочного комплекса / К. А. Кордовер, А. А. Жданов, А. М. Данилов // Электронный журнал «Труды МАИ». – 2018 – Выпуск № 65. – С.101-110.

14. Малиновский М. Л. HDL-модель памяти RAM со встроенной схемой генерации неразрушающих тестов //М. Л.Малиновский, Д. А.Аленин, Барсов В. И./ Вісник Харківського національного технічного університету імені Петра Василенка, 2014 – Випуск №117. – с.45-51.

15. Єременко Б. М. Проектування інтелектуальної системи для діагностики технічного стану об'єктів будівництва / Б. М. Єременко // Информационные технологии. – 2015 – №1-2 – С.44-48.

16. Сахно В. П. Визначення вагових коефіцієнтів для побудови математичної моделі коректування періодичності проведення технічного обслуговування і ремонту / В. П. Сахно, В. В. Біліченко, О. М. Іванушко // Вісник машинобудування та транспорту. – 2017. – №2(6). – С.141-149.

17. Ліннік О. П. Базові принципи моделювання процесу технічного обслуговування пасажирських літаків / Ліннік О. П. // Наукоємні технології, 2014. № 3 (23) – С.326-329.

18. Волощук Р. В. Порівняльний аналіз підходів до визначення вагових коефіцієнтів інтегральних індексів стану складних систем / Р. В. Волощук // Індуктивне моделювання складних систем – зб. наук. пр. / Нац. акад. наук України ; Міжнар. наук. - навч. центр інформ. технологій та систем. – Київ, 2013. – Вип. 5. – С. 151–165.

19. Michael L. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits / L. Michael, D. Vishwani. – Kluwer: Academic Publishers, 2002. – 671p.

20. Ярмолик В.Н. Обзор методов неразрушающего тестирования ОЗУ /В.Н . Ярмолик, А.П. Занкович // ДОКЛАДЫ БГУИР – Минск: БГУИР. – 2005. – №4 (12) – С.62-72

21. Волков Ю.В. Системы технического диагностирования, автоматического управления и защиты: учебное пособие. Часть 1 / Ю.В. Волков – СПб. : ВШТЭ СПбГУПТД., 2016. – 115 с.

22. Иванюк А.А. Методы оптимизации микрокода встроенной аппаратуры самотестирования ОЗУ /А.А. Иванюк, А.А. Автушко // ДОКЛАДЫ БГУИР – Минск: БГУИР. – 2010. – №3 (49) – С.104–110

23. Кушнерова Н.І. Вибір та обґрунтування методу тестового діагностування елементів системи попередження нештатних ситуацій на борту повітряного судна / Н.І. Кушнерова // Системи управління, навігації та зв'язку – Полтава : ПНТУ, 2013. –

Вип. 1 (25). – С. 86-89.

24. Митюк В.Г. Маршевый тест ОЗУ для обнаружения связанных неисправностей взаимного влияния / В.Г. Митюк, В.Н. Ярмолик // Управляющие системы и машины. – 1996. – №3. – С. 44-48.

25. Тюрин С.Ф. Разработка контрольных и диагностических тестов для КМОП элементов с избыточным базисом / С.Ф. Тюрин, О.А. Громов // Приволжский научный вестник. – Ижевск : ИЦНП, 2013. –№1 (17). – С.13-21.

26. Bushnell M. Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits / M. Bushnell, V. Agrawal – Kluwer Academic Publishers, 2000 – 695p.

27. Li Jin-Fu March-based RAM diagnosis algorithms for stuck-at and coupling faults / Jin-Fu Li, Kuo-Liang Cheng, Chih-Tsun Huang, Cheng-Wen Wu //IEEE Trans. on Fuzzy Systems. 2002. – Vol. 10, Issue 2. – P. 155-170.

28. Rayudu K. V. B. V. Functional testing technique for Microprocessor Interface board / K. V. B. V. Rayudu //2015 International Conference on VLSI Systems, Architecture, Technology and Applications (VLSI-SATA) – P. 1-5.

29. Wu Chi-Feng Fault simulation and test algorithm generation for random access memories / Chi-Feng Wu, Chih-Tsun Huang, Kuo-Liang Cheng, Cheng-Wen Wu //IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002. – Vol.: 21, Issue: 4. P. 480-490.

30. Кравчук Р.В. Функціональний підхід в діагностуванні цифрових процесорів і елементів пам'яті / Р.В. Кравчук, О.І. Стецюк, В.М. Чешун // Міжнародний науково-технічний журнал «Вимірювальна та обчислювальна техніка в технологічних процесах». – Хмельницький: ХНУ, 2018. – Вип. №2 (62) – С.106-109.

**Анотація**  
**Наукової роботи під шифром: Test-2019**

Актуальність дослідження. Дослідження схем пам'яті як об'єктів діагностування дозволяє зробити висновок, що сучасні схеми пам'яті є досить складними об'єктами діагностування через велику розрядність і ємність, але мають також позитивні для реалізації діагностування властивості, а саме однорідність і регулярність їх внутрішньої структурної організації.

Зазначені особливості схем пам'яті з довільним доступом зумовили їх відокремлення в окремий клас об'єктів діагностування та створення великої кількості тестів для їх перевірки [1,2]. В той же час, зазначені тести не є універсальними і кожен із них передбачає перевірку тестованої пам'яті на певний вид несправностей [2]. Використання множини тестів для пошуку всіх видів несправностей оперативної пам'яті з довільним доступом за умови надзвичайно великої ємності діагностованої пам'яті виявляється надзвичайно тривалим процесом і, через це, є малоефективним при потоковій перевірці схем пам'яті в умовах масового виробництва. Це зумовлює актуальність розробки методів і засобів, які базуються на комбінованому використанні певних тестів в їх первинному або модифікованих варіантах. Комбінування тестів має за мету забезпечення достовірної перевірки схем пам'яті на наявність в них контрольованих видів несправностей з мінімальною кількістю виконуваних перевірочних операцій, що є запорукою зменшення тривалості процесу діагностування та підвищення його ефективності за часовим критерієм.

Таким чином, пропоноване дослідження присвячене актуальному питанню вибору способу і розробки засобів тестування схем оперативної пам'яті з довільним доступом, орієнтованих на перевірку діагностованих схем пам'яті на наявність в них контрольованих видів несправностей мінімальною кількістю виконуваних перевірочних операцій.

Мета роботи полягає у підвищенні ефективності процесу діагностування схем оперативної пам'яті з довільним доступом за рахунок комбінованого застосування класичних діагностичних тестів для зменшення загальної кількості виконуваних тестових випробувань.

Об'єктом дослідження є процес тестового діагностування багаторозрядних схем оперативної пам'яті з довільним доступом.

Предметом дослідження є способи і засоби реалізації діагностичних тестів оперативної пам'яті.

Задачі досліджень у роботі формулюються наступним чином:

а) дослідити особливості схем пам'яті з довільним доступом та методів їх діагностування;

б) визначити набір тестів та принципи їх комбінованого застосування для зменшення кількості тестових випробувань при перевірці схем пам'яті з довільним доступом на наявність контрольованого набору несправностей;

в) розробити алгоритмічне забезпечення та апаратні засоби для реалізації методу.

Методи досліджень базуються на основних положеннях технічної діагностики, теорії тестового діагностування, булевій алгебрі.

Наукова новизна отриманих результатів:

2. Запропоновано спосіб тестування, що базується на комбінованому використанні трьох видів тестів в прямій та інверсній реалізаціях і дозволяє виявляти чотири основних типи несправностей багаторозрядних схем оперативної пам'яті з довільним доступом.

Практична цінність отриманих результатів полягає:

– у забезпеченні можливості реалізувати діагностування схем оперативної пам'яті меншою кількістю тестових перевірок;

– у визначенні принципів функціонування і розробці схемних та алгоритмічних рішень для реалізації апаратних засобів реалізації методу тестування схем оперативної пам'яті з довільним доступом.

Об'єм роботи складає 34 сторінки. Робота містить 2 рисунки, 1 таблицю, 2 алгоритми, 30 бібліографічних джерел.

За темою роботи опубліковано 1 статтю у фаховому журналі та 2 тези доповідей науково-практичних конференцій.